

Arquitecturas de DSP TMS320F28xxx

.....

Larry Escobar

7 de febrero de 2017

Universidad Nacional Autónoma de México

Indice

- 1 Kernel de un DSP
 - Unidad central de proceso

Indice

- 1 Kernel de un DSP
 - Unidad central de proceso
- 2 CPU de DSP TMS320F28xxx
 - Unidad central de proceso

Indice

- 1 Kernel de un DSP
 - Unidad central de proceso
- 2 CPU de DSP TMS320F28xxx
 - Unidad central de proceso
- 3 Principales Modos de direccionamiento
 - Directo
 - Modo directo

Indice

- 1 Kernel de un DSP
 - Unidad central de proceso
- 2 CPU de DSP TMS320F28xxx
 - Unidad central de proceso
- 3 Principales Modos de direccionamiento
 - Directo
 - Modo directo
- 4 Unidad de direccionamiento
 - Unidad ARAU
 - Direccionamiento por Pila
 - Modo indirecto
 - Direccionamiento circular

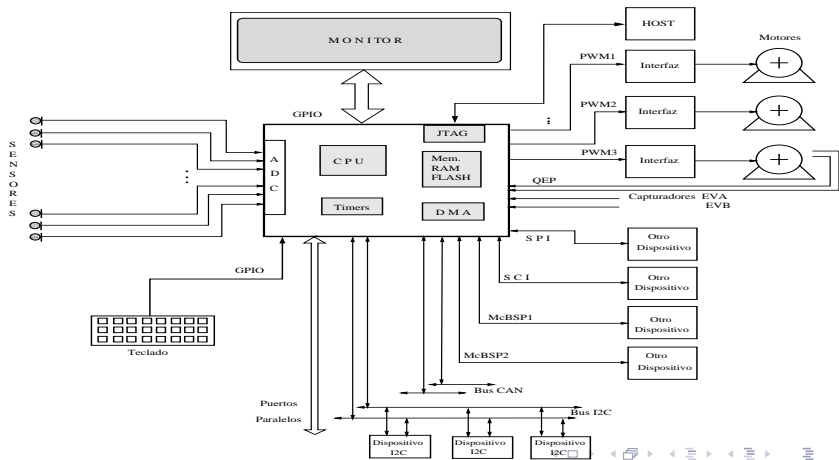
Indice

- 1 Kernel de un DSP
 - Unidad central de proceso
- 2 CPU de DSP TMS320F28xxx
 - Unidad central de proceso
- 3 Principales Modos de direccionamiento
 - Directo
 - Modo directo
- 4 Unidad de direccionamiento
 - Unidad ARAU
 - Direccionamiento por Pila
 - Modo indirecto
 - Direccionamiento circular
- 5 Sistema de control

Indice

- 1** Kernel de un DSP
 - Unidad central de proceso
- 2** CPU de DSP TMS320F28xxx
 - Unidad central de proceso
- 3** Principales Modos de direccionamiento
 - Directo
 - Modo directo
- 4** Unidad de direccionamiento
 - Unidad ARAU
 - Direccionamiento por Pila
 - Modo indirecto
 - Direccionamiento circular
- 5** Sistema de control
- 6** Periféricos

Sistema embebido



Características de DSP TMS320F28xxx

- Arquitectura tipo Harvard modificada de 16b
- Ejecuta instrucciones de 32b en punto entero, para mejorar la precisión numérica
- Ejecuta instrucciones de 16b en punto entero, para mejorar la eficiencia en el código
- Unidad aritmética lógica (ALU) de 32b
- Unidad aritmética de registros auxiliares (ARAU):
Genera direcciones de memoria dato
Operaciones de la ALU
- Registro de corrimiento, hacia la derecha o izquierda 16b

Características de DSP TMS320F28xxx

- Ejecuta multiplicaciones de $32 \times 32b$ con resultado de $64b$
- Operación multiplicación acumulación (MAC) de $32 \times 32b$ en un ciclo de reloj
- Dos operaciones MAC de $16 \times 16b$ (DMAC) en un ciclo de reloj
- Emulación de su funcionamiento en tiempo real
- Protección de código
- En un ciclo de instrucción puede ejecutar instrucciones que leen, modifican y escriben en memoria
- Respuesta de interrupciones rápida con salvado automático del contexto
- Sincronía de eventos con latencia mínima

Comparación de algunos DSP F28xxx

	2808	2812	28027	28069	28235	28335
CLK (Mhz)	100	150	60	80	150	150
RAM (Kw)	18	18	6	50	36	36
FLASH (Kw)	64	128	36	128	256	256
PWM	16	16	9	16	18	18
HRPWM	4	–	4	8	6	6
QEP	2	2	0	2	2	2
EV	4	6	1	3	6	6
Timers	14	8	9	16	16	16
I2C	1	–	1	1	1	1
SCI UART	2	2	1	2	3	3
SPI	4	1	1	2	1	1
CAN	2	1	–	1	2	2
GPIO	35	56	22	54	88	88
McBSP	–	1	–	1	2	2
DMA	–	–	–	6	6	6
Canales ADC	16	16	16	16	16	16
ADC T _c (ns)	160	80	217	180	80	80

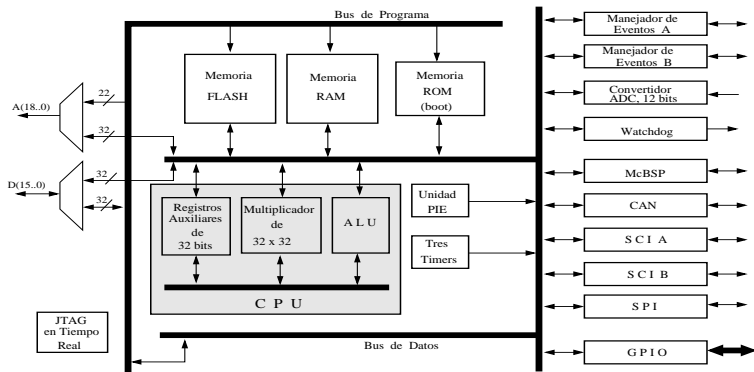
Características avanzadas TMS320F2833x

- Módulo McBSP (multichannel buffered serial port): puerto serie síncrono multicanal con características principales:
 - Hasta 128 canales
 - Comunicación full-duplex
 - Relojes y tramas independientes para transmisión y recepción
 - Dos registros FIFOs de 32 bits y 16 niveles.
- Seis canales de acceso directo a memoria (DMA).
- Unidad aceleradora de punto flotante a 32 bits.
- Unidad de punto flotante (FPU) con precisión simple IEEE-754.
- Unidad de trigonométrica de punto flotante (TMU)
- Unidad de matemáticas complejas y el algoritmo Viterbi (VCU).

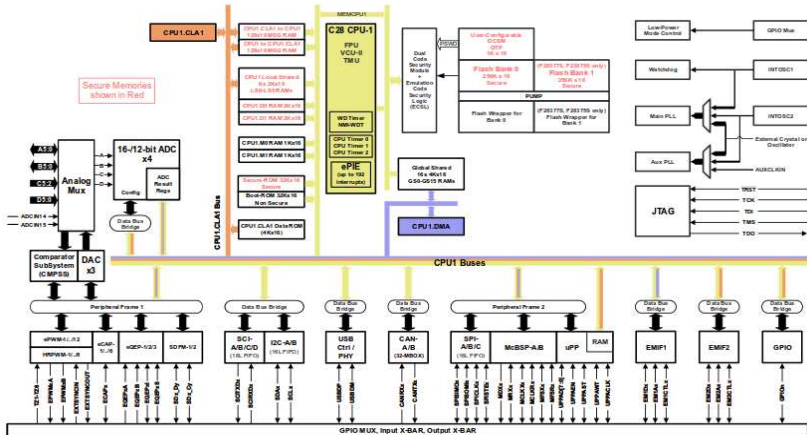
Kernel de un DSP
CPU de DSP TMS320F28xxx
Modos de direccionamiento
Unidad de direccionamiento
Sistema de control
Periféricos

Arquitectura General TMS320F28xxx

Familias: F2808, F2812, F28027, F28069, F28335



Arquitectura General TMS320F28377s



Tarjeta de desarrollo: Delfino TMS320F377s

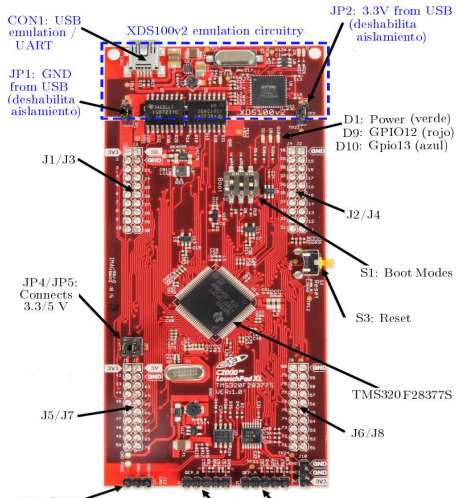
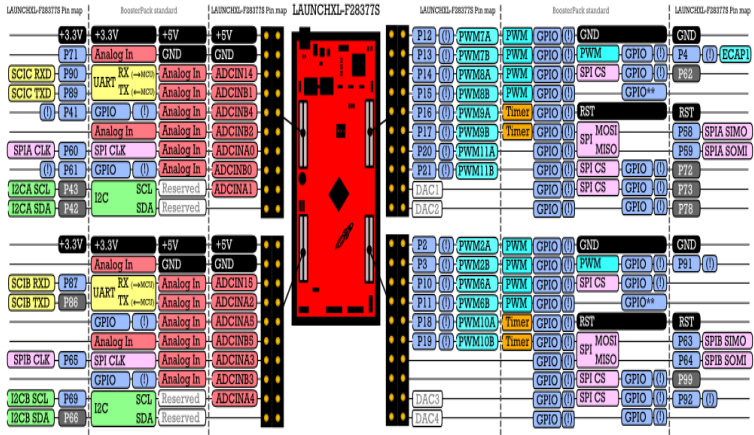
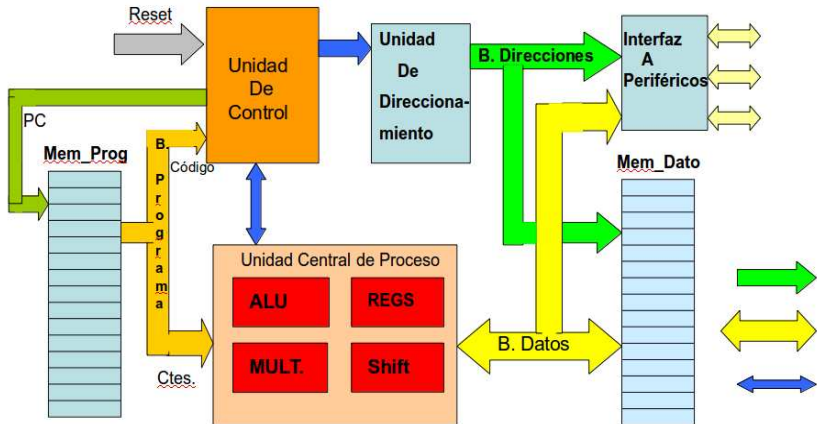


Diagrama de pines DSK TMS320F28377s

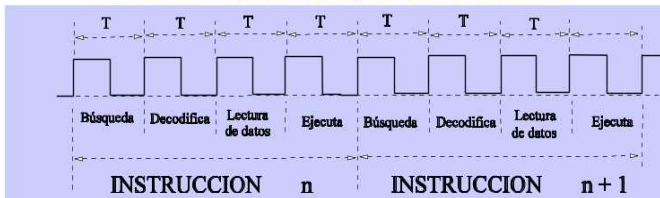


Arquitectura general de un DSP



Cuatro niveles de pipeline

Ciclo de instrucción de un procesador secuencial



Ciclo de instrucción de un procesador con Pipeline

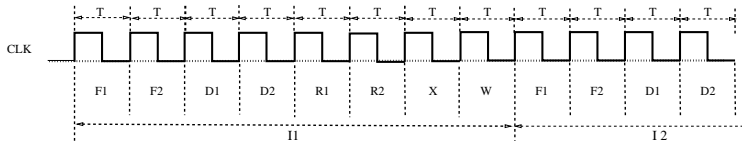
Búsqueda	n	n+1	n+2	n+3	n+4			
Decodifica	X	n	n+1	n+2	n+3	n+4		
Lectura de datos	X	X	n	n+1	n+2	n+3	n+4	
Ejecuta	X	X	X	n	n+1	n+2	n+3	n+4

Seis niveles de pipeline



Ocho niveles de pipeline

CICLO DE MÁQUINA EN UNA ARQUITECTURA SECUENCIAL



CICLO DE MÁQUINA DE LA ARQUITECTURA PIPELINE DEL C28x

UNIDADES												
F1	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12
F2	--	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11
D1	--	--	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10
D2	--	--	--	I1	I2	I3	I4	I5	I6	I7	I8	I9
R1	--	--	--	--	I1	I2	I3	I4	I5	I6	I7	I8
R2	--	--	--	--	--	I1	I2	I3	I4	I5	I6	I7
X	--	--	--	--	--	--	I1	I2	I3	I4	I5	I6
W	--	--	--	--	--	--	--	I1	I2	I3	I4	I5

Pipeline de 8 niveles

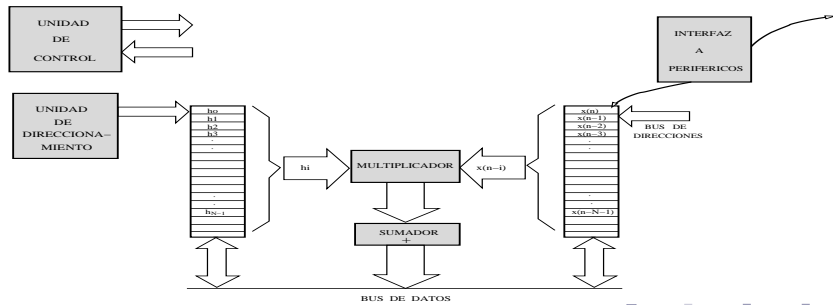
- F1: Dirección de instrucción de 22b en PAB
- F2: Contenido de instrucción de 32b en PRDB
- D1: Decodificación de instrucción de 16b o 32b
- D2: Resuelve la dirección del operando
- R1: Dirección del operando
- R2: Toma el operando
- X: Ejecuta la instrucción
- W: Almacena el contenido en memoria

Kernel de un DSP

$$y(n) = \sum_{i=0}^{N-1} h_i x(n-i) \quad (1)$$

Kernel de un DSP

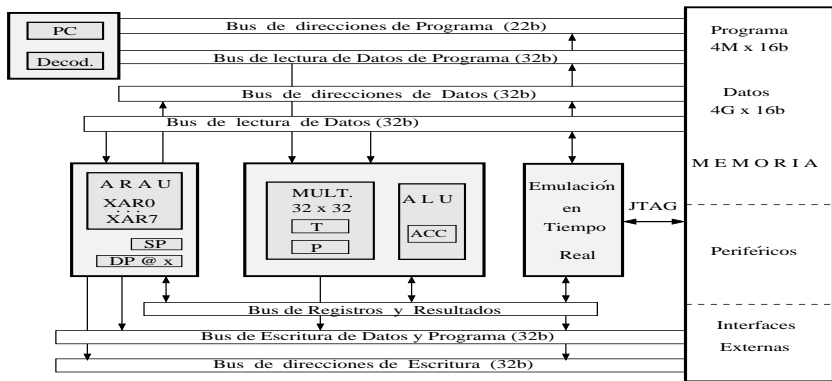
$$y(n) = \sum_{i=0}^{N-1} h_i x(n-i) \quad (1)$$



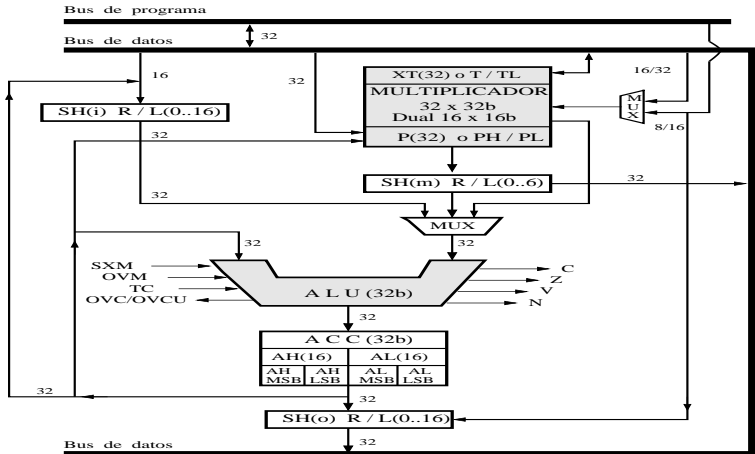
Partes a estudiar

- Registros
- Memoria y modos de direccionamiento
- Unidad central de proceso
- Unidad de control
- Periféricos

CPU de DSP TMS320F28xxx



Unidad central de proceso



Registros

- ACC Acumulador de 32b
- AH Parte alta del ACC, 16b
- AL Parte baja del ACC, 16b
- XAR0 Registro auxiliar 0, 32b
- XAR1 Registro auxiliar 1, 32b
- XAR2 Registro auxiliar 2, 32b
- XAR3 Registro auxiliar 3, 32b
- XAR4 Registro auxiliar 4, 32b
- XAR5 Registro auxiliar 5, 32b
- XAR6 Registro auxiliar 6, 32b
- XAR7 Registro auxiliar 7, 32b
- AR0 Parte baja de XAR0, 16b
- AR1 Parte baja de XAR1, 16b
- AR2 Parte baja de XAR2, 16b
- AR3 Parte baja de XAR3, 16b
- AR4 Parte baja de XAR4, 16b
- AR5 Parte baja de XAR5, 16b
- AR6 Parte baja de XAR6, 16b
- AR7 Parte baja de XAR7, 16b

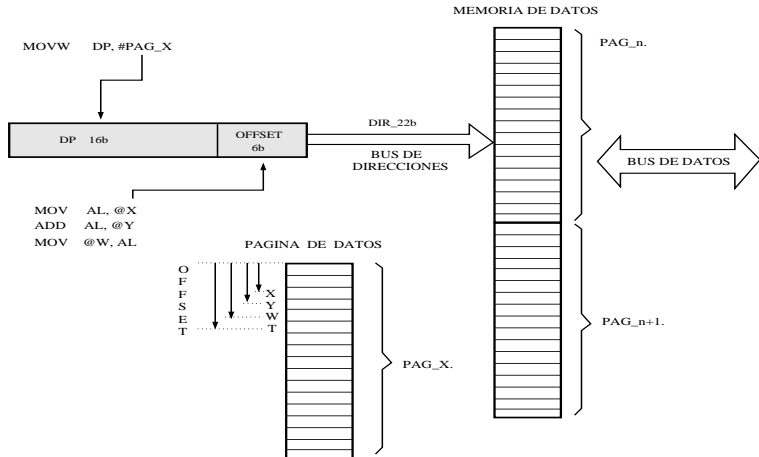
Registros

- DP Apuntador de página, 16 b
- IFR Banderas de interrupción, 16b
- IER Habilitador de interrupciones, 16b
- DBGIER Habilitador de depuración de interrupciones, 16b
- P Registro producto, 32b
- PH Parte alta de P, 16b
- PL Parte baja de P, 16b
- PC Contador de programa, 22b
- RPC Retorno del contador de programa 22b
- SP Apuntador de pila, 16b
- ST0 Registro de estado 0, 16b
- ST1 Registro de estado 1, 16b
- XT Registro multiplicando, 32b
- T Parte alta de XT, 16b
- TL Parte baja de XT, 16b

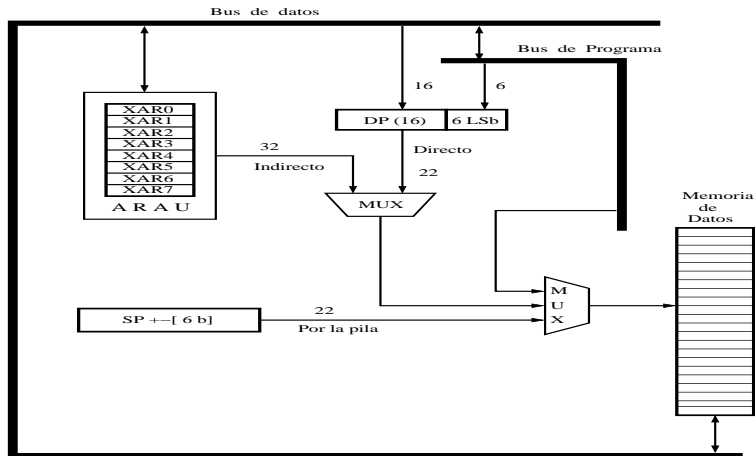
Principales modos de direccionamiento

- Inmediato
- Directo:
 - Paginado
 - Por Stack
- Indirecto
 - Acarreo inverso
 - Buffer circular

Modo directo



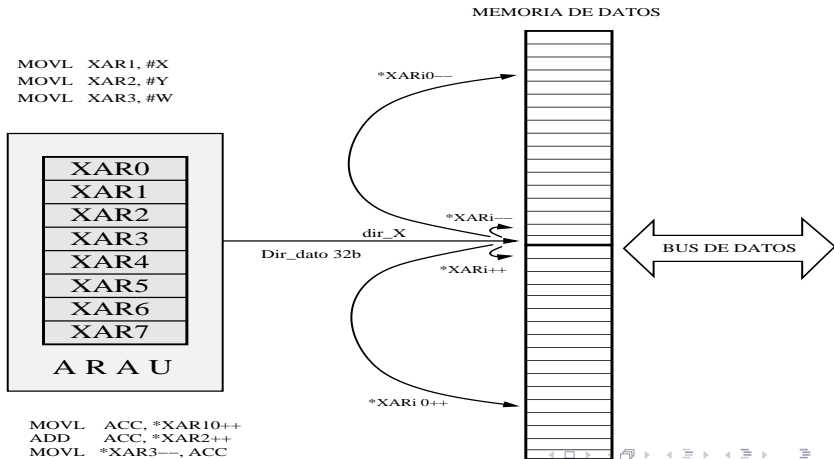
Unidad de direccionamiento y unidad ARAU



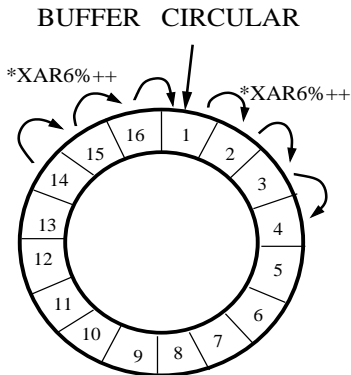
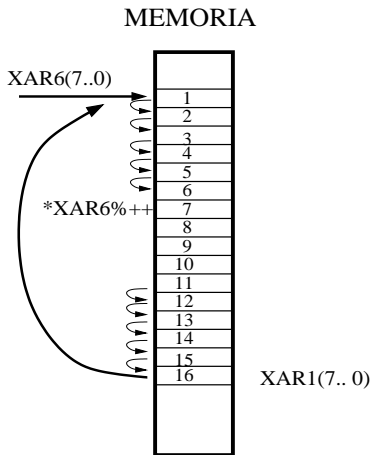
Direccionamiento por Pila

Operando	Descripción
* -SP[6b]	Dir. dato = $SP(16b) - \text{Offset (cte. de 6b)}$
* SP++	si loc16 SP = SP + 1 si loc32 SP = SP + 2
* SP-	si loc16 SP = SP - 1 si loc32 SP = SP - 2

Modo de direccionamiento indirecto



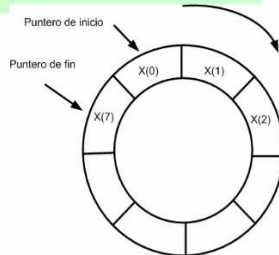
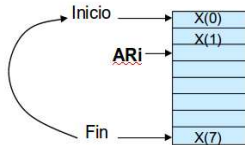
Direccionamiento circular



Algoritmo de direccionamiento circular

Pseudocódigo

```
if ( 0 <= ARi + paso < BK )  
  ARi = ARi + paso  
elseif ( ARi + paso >= BK )  
  ARi = ARi + paso - BK  
elseif ( ARi + paso < 0 )  
  ARi = ARi + paso + BK  
end
```



Sistema de control

- La lógica del generador de direcciones en memoria programa
- Registros de control y estado ST0 y ST1
- El contador de programa (PC)
- El apuntador de pila (SP)
- La señal de reset externo
- Las interrupciones
- El contador de repetición (RPTC)
- Instrucciones que cambian el flujo del programa

Operación de la pila

- La pila crece de la parte baja de la memoria a la parte alta.
- El SP siempre apunta la próxima localidad vacía en la pila.
- En el reset el SP es inicializado con la dirección 0000 0400h.
- Cuando se salva algún valor de 32b en la pila, la palabra menos significativa se salva primero y en la siguiente localidad la palabra más significativa (formato little endian).
- Cuando ocurre un sobreflujo del SP, con una dirección más allá de FFFFh o 0000h, el SP opera en forma circular.

Periféricos

- Entradas y salidas (I/O) digitales de propósito general (GPIO).
- Temporizadores del CPU de 32b.
- Dos módulos manejadores de eventos (EVA y EVB).
- Un módulo de conversión análogo - digital (ADC).
- Módulo de interfaz de comunicación serial (SCI-A, SCI-B).
- Módulo de interfaz de puerto serial (SPI).
- Controlador de red de área (eCAN) mejorado.
- Módulo I2C.
- Módulo de puerto serial multicanal con buffer (McBSP).
- Transferencia por DMA